

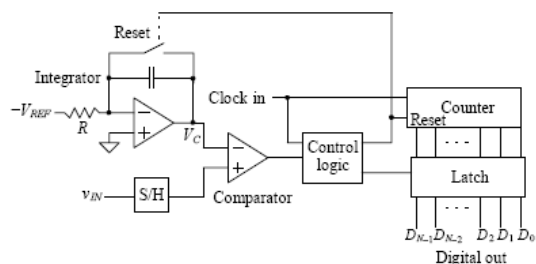
Makalah Nomor: KNSI-335**DESAIN RANGKAIAN INTEGRATOR ADC SINGLE SLOPE DENGAN MENTOR GRAPHIC 0,35 μ** **Yulisdin Mukhlis¹, Hamzah Affandi², Tjahjo Dwinurti³**^{1,2,3} Fakultas Teknologi Industri, Universities Gunadarma
Jl. Margonda Raya no 100 Depok 16424¹ymukhlis@staff.gunadarma.ac.id, ²hamzah@staff.gunadarma.ac.id, ³dwinurti@staff.gunadarma.ac.id**Abstrak**

Rangkaian Integrator merupakan bagian paling utama dari ADC single slope, karena pada bagian ini, akan ditentukan seberapa besar kecepatan ADC yang akan dirancang. Rangkaian integrator harus didesain secara presisi, karena kurang tepatnya penentuan komponen, akan mengakibatkan data yang dihasilkan tidak akurat. Terdapat tiga komponen utama pada rangkaian Integrator, yaitu Op Amp, RC dan Sampling/Hold. Metode yang digunakan dalam desain adalah eksperimen dengan simulasi Mentor Graphic. Terdapat tiga tahapan desain, pertama perancangan Op Amp, kedua penentuan nilai RC dan ketiga perancangan Sample and Hold. Dari hasil simulasi didapatkan penguatan terbuka op amp adalah 73,2 dB, CMR – 3,2 volt untuk V- dan 3.3 volt untuk V+, tegangan swing – 3,27 volt untuk V- dan 3.29 volt untuk V+. Rangkaian integrator didesain untuk mencuplik sampel frekuensi hingga 1 MHz, dengan level amplitudo 3,3Volt.

Kata kunci : Ramp, ADC, Frekuensi, Op amp, Sampling, Integrator**1. Pendahuluan [Times New Roman 10, bold]**

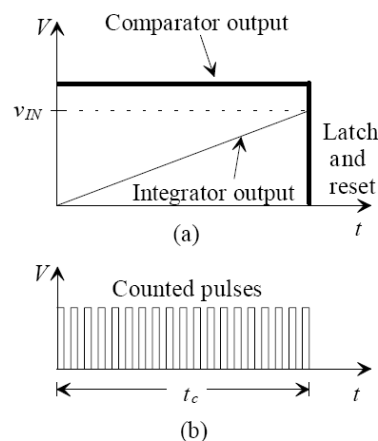
Salah satu tipe ADC yang cukup terkenal adalah fast integrating single slope ADC. ADC ini kebanyakan dipakai pada voltmeter digital, kamera, dan perangkat instrumentasi. Kelebihan ADC tipe single slope adalah rangkaianannya cukup sederhana, sehingga bisa dibuat desain layout seoptimal mungkin. Disamping sederhana, ADC ini memiliki resolusi paling tinggi di kelasnya. Kelemahan dari ADC tipe ini adalah cukup lambat terhadap respon masukan, hal ini disebabkan ADC harus mencacah sebanyak 2^N kali cacahan per siklus.

Komponen utama ADC Single Slope adalah rangkaian Integrator. Kurang tepatnya perhitungan penentuan nilai komponen, akan mengakibatkan error yang cukup signifikan pada outputnya, sehingga diperlukan prosentase error yang seminimal mungkin pada desainnya. Blok diagram rangkaian ADC diperlihatkan pada gambar dibawah.



Gambar 1. Blok diagram ADC [1]

Set awal adalah rangkaian akan diberikan tegangan sampling sebesar 1 us yang berguna untuk mereset counter, latch dan mulai mengaktifkan switch integrator dan S/H. Pada saat yang bersamaan, S/H akan mencuplik sinyal input sebesar 1 V. Saat itu pula, tegangan integrator mulai naik hingga level Vref. Apabila Vin nilainya sama dengan Vintegrator, maka komparator akan menutup atau berlogika 0. Saat itu pula clock akan dicacah sebanyak 2^N kali dan hasilnya di latch. Output D0 – D7 akan menampilkan nilai biner dari level input yang dicuplik oleh S/H.



Gambar 2. Output komparator

- (a). Posisi latch V_{in}
(b). Clock sebesar 2^N

Dari gambar 2a dapat dilihat, bahwa tegangan integrator (V_c) akan naik secara linier sesuai dengan persamaan :

$$V_c = \frac{1}{RC} \int_0^t V_{ref}.dt$$

$$V_c = \frac{V_{ref}.t}{RC} \quad (1)$$

Ketika nilai V_c sama dengan V_{in} , maka komparator akan menutup dan data akan di latch. Tepat saat itu, clock akan mencacah sesuai dengan persamaan :

$$t_c = \frac{V_{in}}{V_{LSB}} T_{CLK} \quad (2)$$

Karena V_{LSB} sama dengan $V_{ref}/2^N$ maka persamaan 2 dapat ditulis kembali :

$$t_c = \frac{V_{in}}{V_{REF}} 2^N \cdot T_{CLK} \quad (3)$$

Dengan melihat persamaan 1, maka nilai V_c dapat ditentukan lagi sebagai berikut

$$V_c = \frac{V_{in}}{RC \cdot f_{CLK}} 2^N \quad (4)$$

N adalah nilai bit yang dipakai ADC untuk menunjukkan besarnya resolusi. Semakin besar nilai N , maka resolusi ADC akan semakin bagus.

2. Desain Operational Amplifier

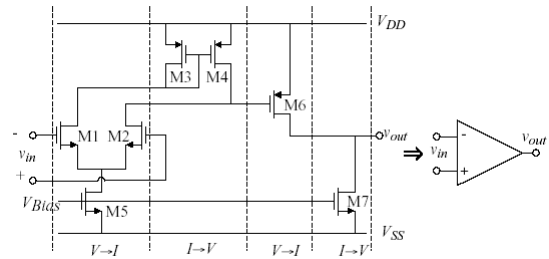
Fungsi op-amp pada rangkaian integrator adalah untuk membangkitkan gelombang ramp. Spesifikasi op-amp pada rangkaian tersebut. [Lisha.L,2007,

Boaz.S.T,2004, Xin Jiang,2003, B.Razawi,2001, G.Palmisano,2001, J.Baker,1998]

- Gain Open Loop (A_{OL}) = 2^{N+2} V/V
- Gain Open Loop (dB) = $20 \cdot \log 2^{N+2}$ V/V[3]
- Gain Close Loop (A_{CL}) = 2 V/V
- Frekuensi Unity (f_u) = $0,22(N+1) f_{clock}$ [4]

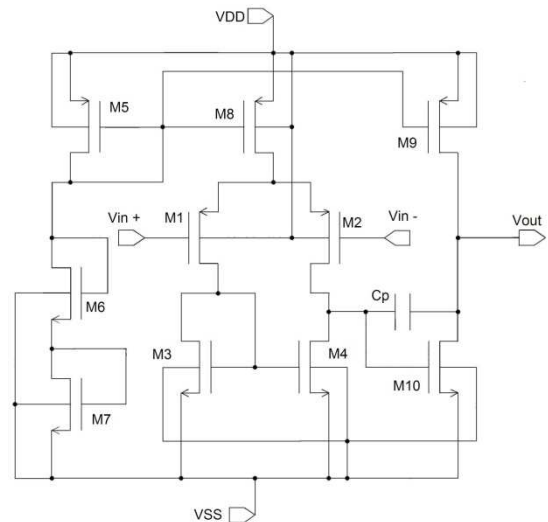
Gambar 3 memperlihatkan diagram rangkaian Op-amp. Penguat differensial (M1-4) menyediakan dua masukan membalik dan tak membalik yang menyebabkan noise dan offset. Penguatan tinggi (high gain M6-7) hampir mirip dengan gerbang not

bila op-amp menggerakkan beban rendah maka diikuti oleh stage penyangga (buffer), arus bersama (IM5) disediakan oleh rangkaian cermin arus [2].



Gambar 3. Rangkaian 2 stage Op amp.

Op-amp ideal mempunyai karakteristik, penguatan mode terbuka tak terhingga ($A_{OL} = \infty$), penguatan mode tertutup (Buffer= $A_{CL} = 1$), impedansi masukan tak terhingga ($R_{IN} = \infty \Omega$), impedansi keluaran hampir sama 0 ($R_O \approx 0 \Omega$), Lebar pita penguatan ($GBW = \infty$), besar $V_{out} = A_v(V_{in+} - V_{in-})$, dengan A_v digunakan disain pada penguatan mode terbuka (A_{OL}).

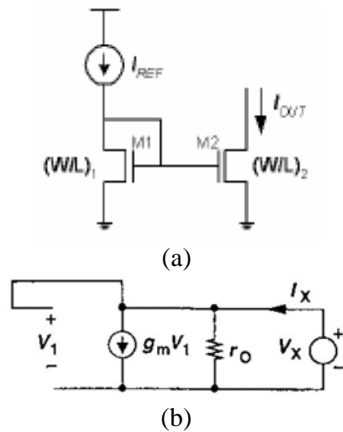


Gambar 4. Schematic Op Amp

Pada gambar 4 diatas, M1 dan M2 berfungsi sebagai penguat masukan input differensial, M5-M7 berfungsi sebagai pembangkit tegangan bias (V_b), M8 berfungsi sebagai *current source*, M9 dan M10 berfungsi sebagai buffer, sedangkan M3 dan M4 berfungsi sebagai cermin arus (*current mirror*). Kapasitor C_p berfungsi sebagai jalur umpan balik negatif, yaitu untuk menambah efek miller yang sudah ada karena keberadaan kapasitor parasit.

Tegangan Op amp adalah catu simetrik dengan nilai 3,3 volt pada VDD dan -3,3 volt pada VSS

Fungsi cermin arus sebagai sumber arus bias bagi komponen MOS untuk pengendali atau penggerak atau juga dapat sebagai cermin arus sumber dengan arus kendali, misal $I_{ref} = I_{out}$, pada gambar 5.



Gambar 5. Rangkaian cermin arus
(a) Schematic
(b) Norton ekuivalent

$$I_G = 0, I_D = I_{ref}, I_{D2} = I_{D1}, \text{ maka } I_{out} = I_{ref} \quad (5)$$

$$I_x = V_x + g_m V_x, V_1 = V_x, I_x = I_{ref} \quad (6)$$

Apabila ukuran M1 sama dengan M2, maka

$$I_{out} = I_{ref}, \text{ cermin_arus} \rightarrow \text{jika } \left[\frac{W_2}{L_2} \right] = \left[\frac{W_1}{L_1} \right]$$

Jika ukuran M1 tidak sama dengan M2, maka

$$I_{out} = I_{ref} \frac{W_2/L_2}{W_1/L_1} \quad (7)$$

Dari gambar 3, dapat diberikan analisa penguatan transconductance sebagai berikut :
Penguatan stage 1

$$AV1 = \frac{g_{m1,2}}{g_{ds2} + g_{ds4}} = \frac{2g_{m1,2}}{I_{SS} (\lambda_2 + \lambda_4)} \quad (8)$$

Penguatan stage 2

$$AV2 = \frac{g_{m6}}{g_{ds6} + g_{ds7}} = \frac{g_{m6}}{I_{D6} (\lambda_6 + \lambda_7)} \quad (9)$$

Dimana :

g_{ds} = parameter transconductance drain to source

λ = parameter length channel modulation

Untuk mendesain Opamp dua stage seperti pada gambar 4, dapat dimulai dengan langkah desain sebagai berikut :

- Menentukan besar transconductance $g_{m1,2}$ dengan asumsi $GBW = 600\text{MHz}$ supaya dapat menjangkau periode sampling dan multiplaying.

$g_{m2} = GBW * 2\pi * C_c$, dengan $C_c = 0,25\text{pF}$ dan $C_L = 1,15\text{pF}$.

$$g_{m2} = 952,47 \mu\text{A/V}$$

Karena $g_{m2} = g_{m1}$, maka arus drain yang melewati kedua komponen M1 dan M2 adalah sama, yaitu $I_{D1} = I_{D2} = I_{SS}/2$

- Untuk menentukan ukuran M3, M4 dan M5 menggunakan input CMR dengan transistor berada pada daerah saturasi $V_{DS} > V_{GS} - V_{TH}$, dimana

$$I_{D3} = I_{D4} = 4 \mu\text{A} = \frac{K_p}{2} \frac{W}{L} (V_{GS3,4} + V_{THP})^2$$

$$\rightarrow \left(\frac{W}{L} \right)_{3,4} = 6,4$$

Jika $L_{3,4} = 0,35 \mu\text{m}$ maka $W_{3,4} = 2,2 \mu\text{m}$

- Untuk mencari lebar W , menggunakan $V_{GS5} = V_{GS7}$ dengan $I_{D7} = I_{D6} = 224 \mu\text{A}$, maka dapat dilakukan perhitungan kembali sehingga akan menghasilkan

$\left(\frac{W}{L} \right)_7 = 147$, untuk $L_7 = 0,35 \mu\text{m}$, maka didapatkan $W_7 = 51 \mu\text{m}$.

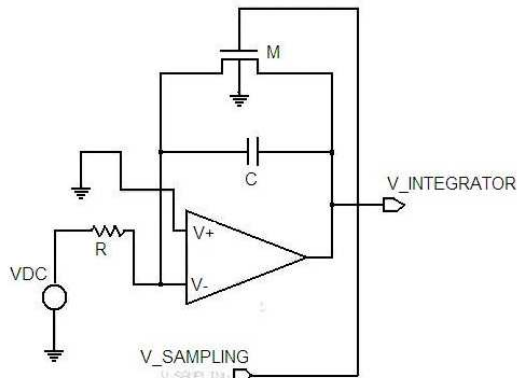
Karena $I_{D7} = I_{D6} = 224 \mu\text{A}$, maka nilai W/L untuk M6 dapat dihitung sebagai berikut :
 $(V_{GS} + V_{THP})_6 = (V_{GS} + V_{THP})_4 = 0,627 \text{ Volt}$

$$I_{D6} = \frac{K_p}{2} \frac{W}{L} (V_{GS6} + V_{THP})^2 \text{ sehingga}$$

$\left(\frac{W}{L} \right)_6 = 35,6$ untuk $L_6 = 0,35 \mu\text{m}$, maka didapatkan $W_6 = 12,5 \mu\text{m}$.

3. Desain rangkaian Integrator

Berdasar pada gambar 1 di atas, maka dapat dicuplik rangkaian Integrator sebagai berikut :



Gambar 6. Rangkaian Integrator

Rangkaian Integrator digunakan untuk membangkitkan gelombang ramp dengan frekuensi clock f_{CLK} sebesar 1 MHz. Resolusi dari ADC adalah 4 bit. Dengan asumsi bahwa tegangan maksimum input dari S/H adalah sama dengan tegangan ramp yang dihasilkan, maka berdasarkan persamaan 4, didapat :

$$V_C = \frac{V_{in}}{RC \cdot f_{CLK}} 2^N$$

Sehingga, $RC = 16\mu$

Nilai t_c dapat ditentukan berdasarkan pada persamaan 3

$$t_c = \frac{V_{in}}{V_{REF}} 2^N \cdot T_{CLK}$$

Tegangan input V_{in} adalah periodik dan kontinu. Untuk tegangan $V_{in} = 2$ Volt, maka nilai t_c seperti pada gambar 2b dapat dihitung sebagai berikut :

$$t_c = \frac{2}{1} 2^4 \cdot 10^{-6}$$

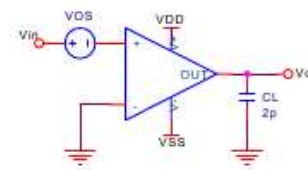
$$t_c = 4 \cdot 10^{-2} \text{ s.}$$

4. Hasil simulasi dan pembahasan

Simulasi yang dilakukan terhadap desain rangkaian op-amp 2 stage menggunakan perangkat lunak mentor graphic dengan teknologi AMS 0,35 μ m CMOS proses. Simulasi dititikberatkan pada karakteristik op-amp yang diaplikasikan ke dalam ADC Single Slope.

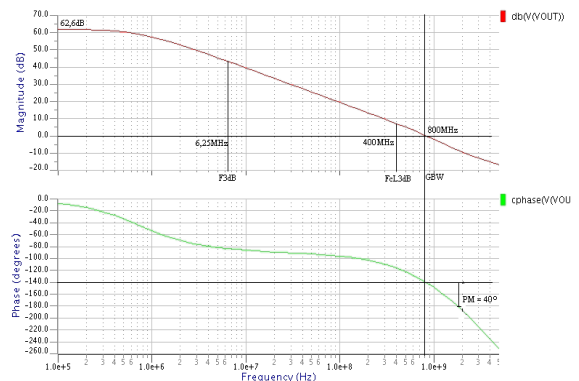
4.1. Pengujian AoL, PM, CMR dan Swing Opamp

Skema pengujian AoL (Amplification Open Loop) dan PM (Phase Margin) diberikan seperti pada gambar dibawah :



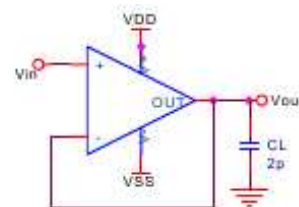
Gambar 7. Rangkaian uji AoL dan PM [2]

Dari gambar diatas, V_{in} diberikan tegangan 3.3Vpp dan VOS adalah DC sweep dari 0-2 V.



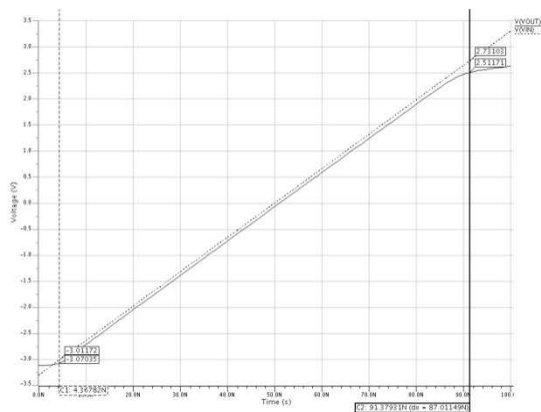
Gambar 8. Hasil AoL dan PM

Dari hasil simulasi didapatkan penguatan terbuka sebesar 62,64 dB dan PM sebesar 40°. Semua op-amp mempunyai batasan pada jangkauan tegangan operasi kerjanya. Batasan CMIR (*common mode input range*) adalah batasan skala jangkauan tiap masukan opamp. Di luar batasan tersebut menyebabkan keluaran distorsi atau terpotong, pada gambar 9 rangkaian uji CMR.



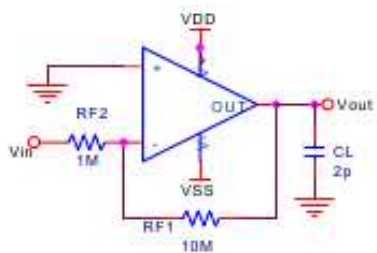
Gambar 9. Rangkaian uji CMR

Hasil simulasi rangkaian CMR diberikan seperti pada gambar 10.

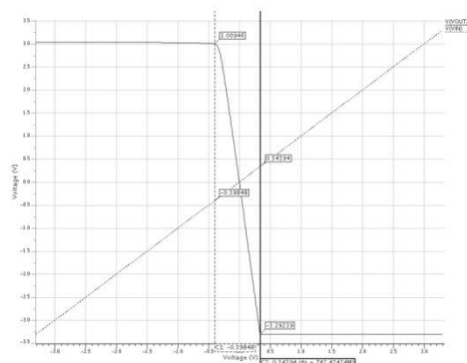


Gambar 10. Hasil uji CMR dengan input DC

Dari hasil simulasi didapat nilai $CMR^- = -3,07$ volt dan $CMR^+ = 2,51$ volt. Keluaran tegangan swing adalah maksimal tegangan puncak keluaran op-amp dapat hasilkan sebelum tegangan terpotong. Tegangan ini tergantung tegangan kerja op-amp (VDD atau VSS), pada gambar 11 rangkaian uji tegangan swing keluaran op-amp.



Gambar 11. Rangkaian uji tegangan Swing
Hasil simulasi rangkaian uji tegangan swing diberikan seperti pada gambar 12.



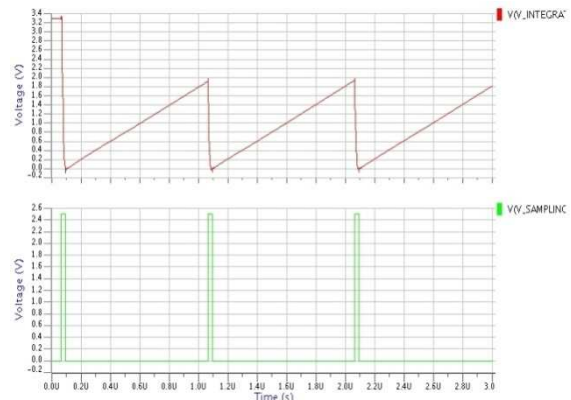
Gambar 12. Output tegangan Swing
Didapatkan tegangan swing $V^+ = 3$ volt dan tegangan swing $V^- = -3.29$ volt. Tegangan swing dan CMR cenderung ke level negatif. Hal ini disebabkan faktor resistansi internal opamp terhadap VSS lebih besar daripada resistansi internal terhadap VDD. Mengingat tegangan supply $VDD = +3,3$ volt

hingga -3,3 volt, maka nilai level yang dihasilkan sudah masuk dalam range.

4.2. Pengujian Integrator

Rangkaian integrator diperlihatkan seperti pada gambar 6. Resolusi ADC 4 bit, sehingga $N=4$. Untuk frekuensi clock 1 MHz, dihasilkan nilai $RC = 16 \mu$. Hasil simulasi rangkaian integrator diperlihatkan pada gambar 13 dibawah :

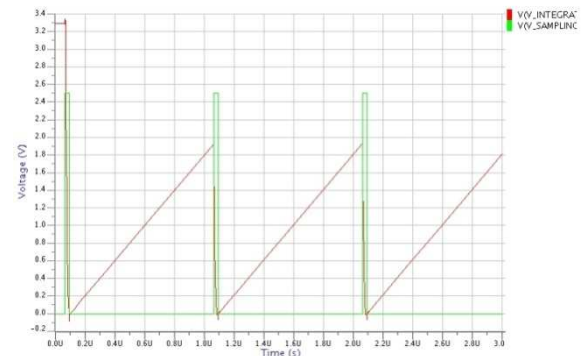
Database : Integrator_vpt_c35b4_device_26 November 18, 2012 / 12:59:04 PM



Gambar 13. Rangkaian integrator dan S/H

Tegangan puncak integrator sebesar 1,9 volt. Terdapat selisih antara tegangan integrator dengan tegangan referensi. Selisih tegangan $2,0 - 1,9 = 0,1$ volt. Selisih ini disebabkan pengaruh R_{on} pada switch transistor. Karena *power supply* rangkaian integrator -3,3 volt hingga +3,3 volt, maka selisih tegangan 0,1 volt, tidak mempengaruhi rangkaian.

Database : Integrator_vpt_c35b4_device_26 November 18, 2012 / 12:59:21 PM



Gambar 14. Gabungan integrator dan S/H

Periode integrator yang dihasilkan $1 \mu s$. Hal ini sesuai dengan masukan clock input, yaitu 1 MHz. Untuk aplikasi ADC, output integrator akan dijadikan masukan komparator dan akan dibandingkan dengan output Sample and Hold.

Tegangan sampling selain dijadikan sebagai tegangan picu switch transistor, juga dijadikan sebagai reset pada register ADC.

Daftar Pustaka:

- [1] Antonio Oblea, 2008, *Design and Operation of Integrating ADCs*, Advanced Analog IC Design, ECE614.
- [2] B.-S. Song, La Jolla, and Gilman, 2007 *Design*

- CMOS Analog-to-Digital Converter*, CE264C, International WorkShop in University of California, San Diego.
- [3] Boaz Shem-Tov, Mucabit Kozak, and Eby G. Friedman, 2004, *A High-Speed CMOS OP-AMP Design Technique Using Negative Miller Capacitance.* 0-7803-8715-5/04, IEEE.
 - [4] Cheongyuen B.T, 2008, *Digitally Calibrated Analog-to-Digital Converters in Deep Submicron CMOS*, No.67 UCB/EECS.
 - [5] Harry Li, 2006, *Characterization of a Two-Stage Opamp*, EE 415/515, University of Idaho.
 - [6] Rajkumar S, Anu Gupta, 2007, *Design of a Fully Differential Two-Stage CMOS Op-Amp for High Gain, High Bandwidth Applications*, proceedings of the 11th IEEE International Conference on Electronics, circuit and systems